1. **Проектирование блока операций**

## *Примеры и алгоритмы выполнения операций*

## Алгоритм операции УМНОЖЕНИЕ

Умножение в соответствии с заданием выполняется по алгоритму умножения чисел в дополнительном коде с младших разрядов множителя и сдвигом суммы частичных произведений вправо путем последовательного преобразования множителя. Данный алгоритм можно выразить следующей формулой:

Где , k = 0..n

Для четырехразрядных чисел эта формула выглядит следующим образом:

Поясним представленный алгоритм примерами:

Пример 1:

= 1.010 =

= 0.110 =

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | RR = 0 |
| k = 3 |  | пропуск | | | | | | | |  |
|  | + | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | RR = RR \* |
| k= 2 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | RA = RA \* |
|  |  | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | RR = RR + RA |
|  |  | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | RR = RR \* |
| k= 1 |  | пропуск | | | | | | | |  |
|  | + | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | RR = RR \* |
| k = 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | RA = RA \* |
|  |  | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | RR = RR + RA |

Пример 2:

= 0.101 =

= 1.011 =

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | + | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | RR = 0 |
| k = 3 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | RA = RA \* |
|  |  | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | RR = RR + RA |
|  |  | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | RR = RR \* |
| k = 2 |  | пропуск | | | | | | | |  |
|  |  | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | RR = RR \* |
| k = 1 |  | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | RA = RA \* |
|  |  | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | RR = RR + RA |
|  | + | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | RR = RR \* |
| k = 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | RA = RA \* |
|  |  | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | RR = RR + RA |

Пример 3:

= 0.111 =

= 1.111 =

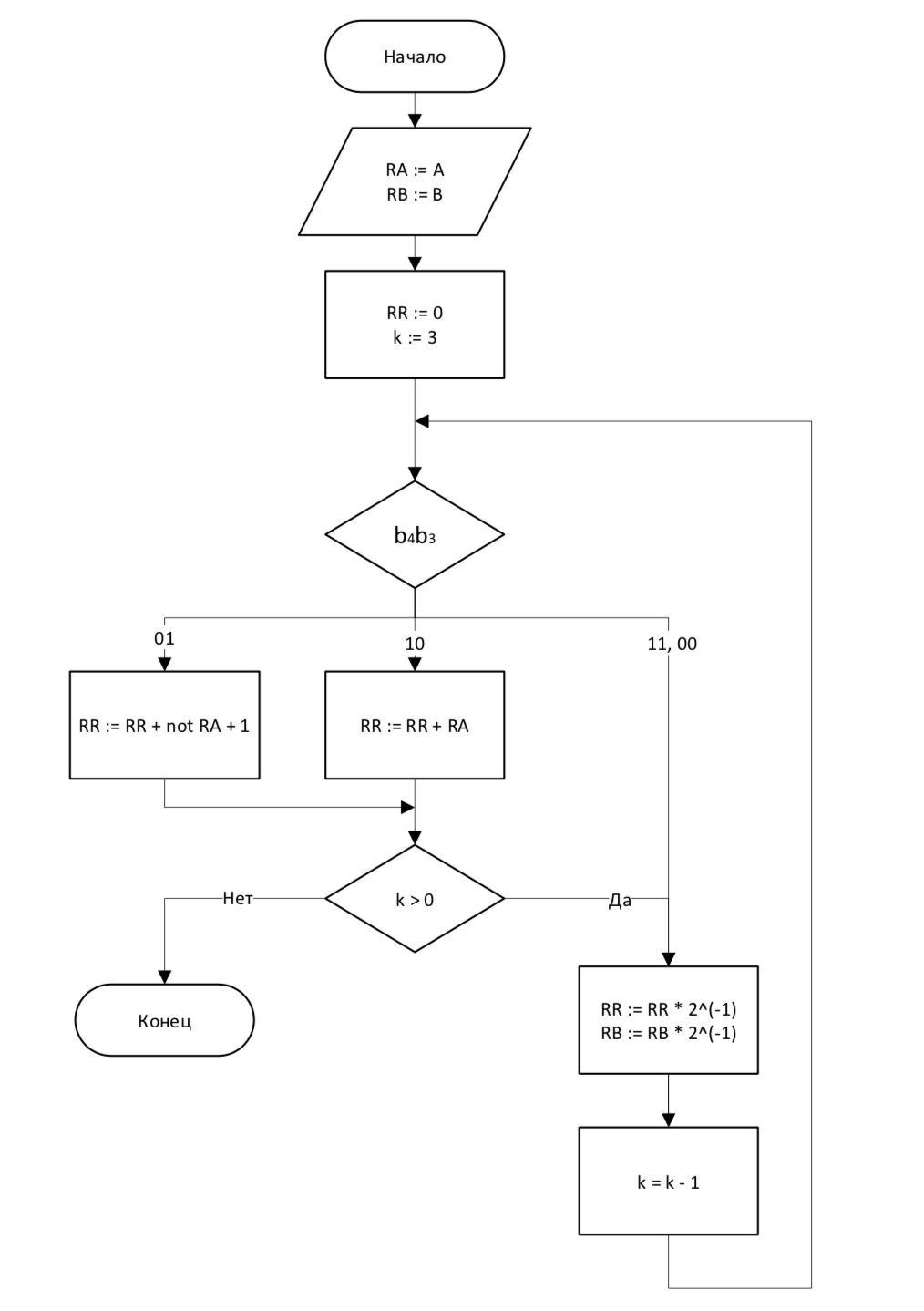
|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | + | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | RR = 0 |
| k = 3 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | RA = RA \* |
|  |  | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | RR = RR + RA |
|  | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | RR = RR \* |
| k = 2 | пропуск | | | | | | | |  |
|  |  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | RR = RR \* |
| k = 1 |  | пропуск | | | | | | | |  |
|  |  | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | RR = RR \* |
| k = 0 |  | пропуск | | | | | | | |  |
|  |  | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | RR |

Пример 3:

= 0.111 =

= 0.101 =

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | + | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | RR = 0 |
| k = 3 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | RA = RA \* |
|  |  | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | RR = RR + RA |
|  |  | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | RR = RR \* |
| k = 2 | + | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | RA = RA \* |
|  |  | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | RR = RR + RA |
|  |  | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | RR = RR \* |
| k = 1 | + | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | RA = RA \* |
|  |  | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | RR = RR + RA |
|  |  | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | RR = RR \* |
| k = 0 | + | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | RA = RA \* |
|  |  | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | RR = RR + RA |



A

B

C

D

E

F

G

H

1 2 3

*Рис. 1.1 Алгоритм операции УМНОЖЕНИЕ*

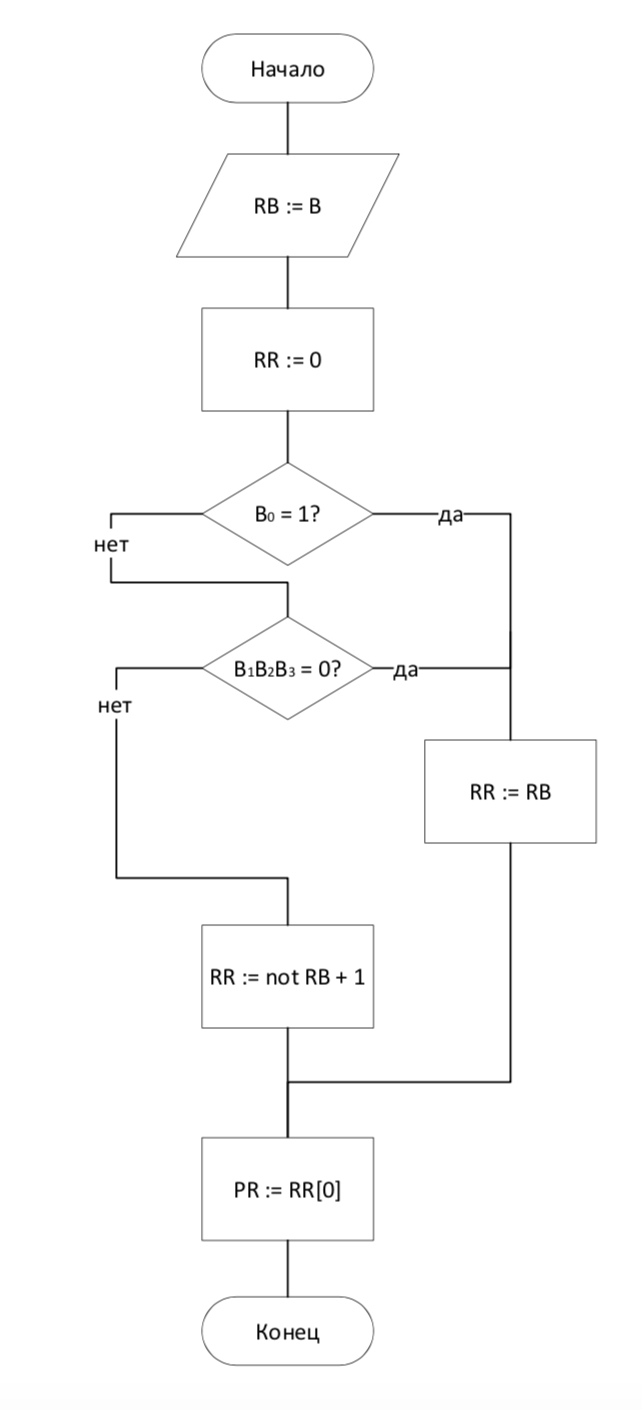
## Алгоритм операции ПЕРЕСЫЛКА ОТРИЦАТЕЛЬНАЯ

Дополнительный код абсолютного значения второго операнда помещается по адресу первого операнда. Устанавливается признак результата: 0 – результат равен нулю, 1 – результат меньше нуля. Поясним алгоритм примерами:

Пример 1

Пример 2

Пример 3



SF

1 2

A

B

C

D

E

F

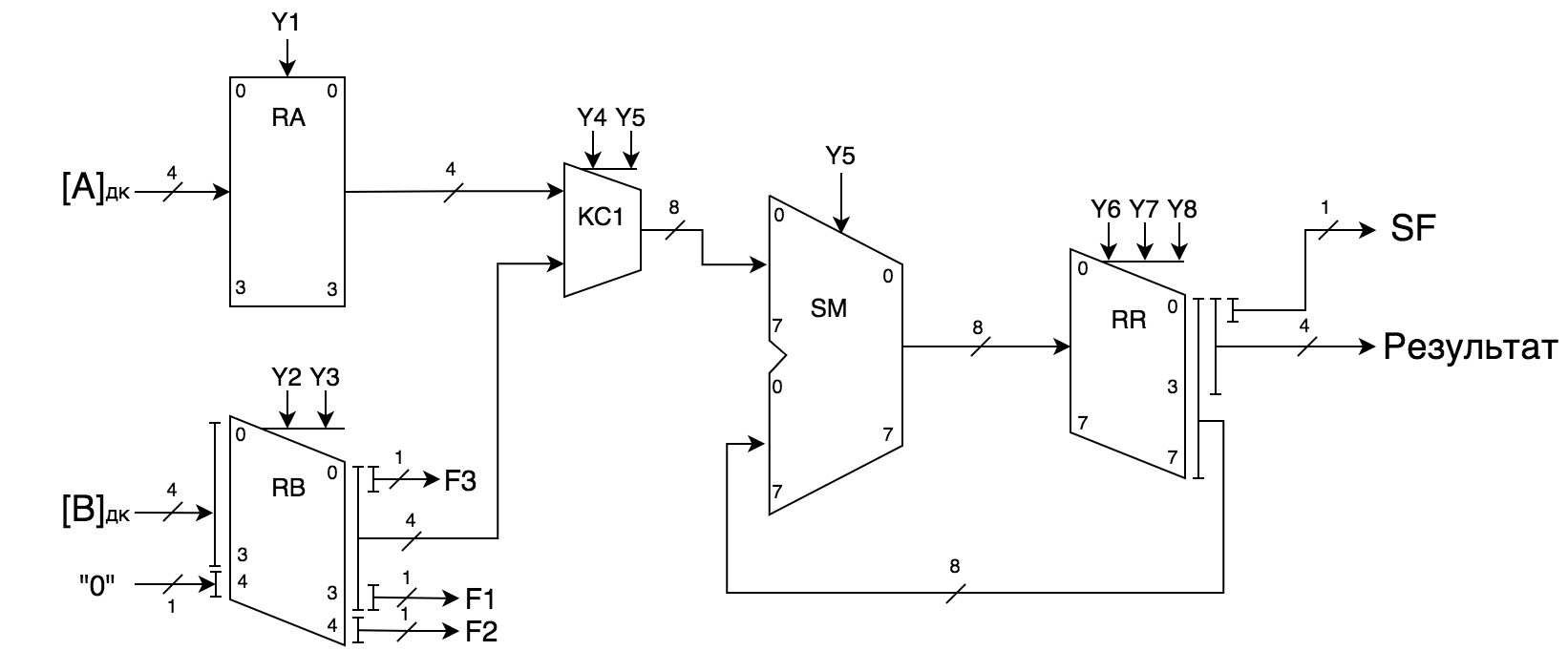
G

H

I

*Рис. 1.2 Алгоритм операции ПЕРЕСЫЛКА ОТРИЦАТЕЛЬНАЯ*

* 1. ***Функциональная схема блока операций***

******

*Рис. 1.3. Функциональная схема блока операций*

На рис. 1.3 представлена функциональная схема БО, в следующей таблице 1.1 приведены все элементы данной схемы блока операций с их назначением и функциями.

Таблица 1.1

Функциональное назначение блоков

|  |  |
| --- | --- |
| Обозначение блока | Назначение |
| RA | Регистр первого операнда; 4 разряда  Параллельная загрузка [А] |
| RB | Регистр второго операнда; 4 разряда  Параллельная загрузка [В], арифметический сдвиг вправо на 1 разряд |
| RR | Регистр результата; 8 разрядов;  Установка в 0, параллельная загрузка, арифметический сдвиг вправо на 1 разряд |
| КС1 | Формирование первого операнда сумматора (передача ) |
| SM | Сумматор; 8 разрядов |

* 1. Проектирование логических элементов блока операций
     1. Регистр первого операнда RA

Данный регистр является четырехразрядным регистром хранения. Наиболее подходящим для реализации функций регистра RA является регистр FD4CE (рис. 1.4).

*Таблица 1.2*

*Таблица управляющих сигналов RA*

|  |  |
| --- | --- |
| Обозначение | Назначение |
| У1 |
| 0 | Хранение |
| 1 | Разрешение загрузки |

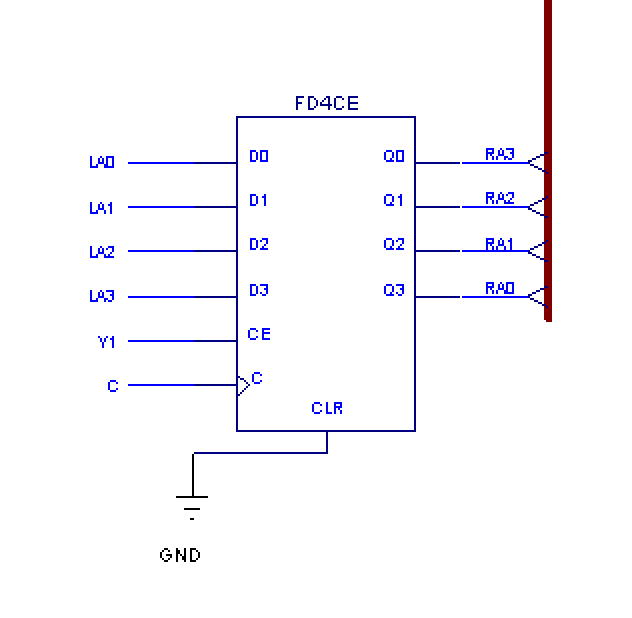
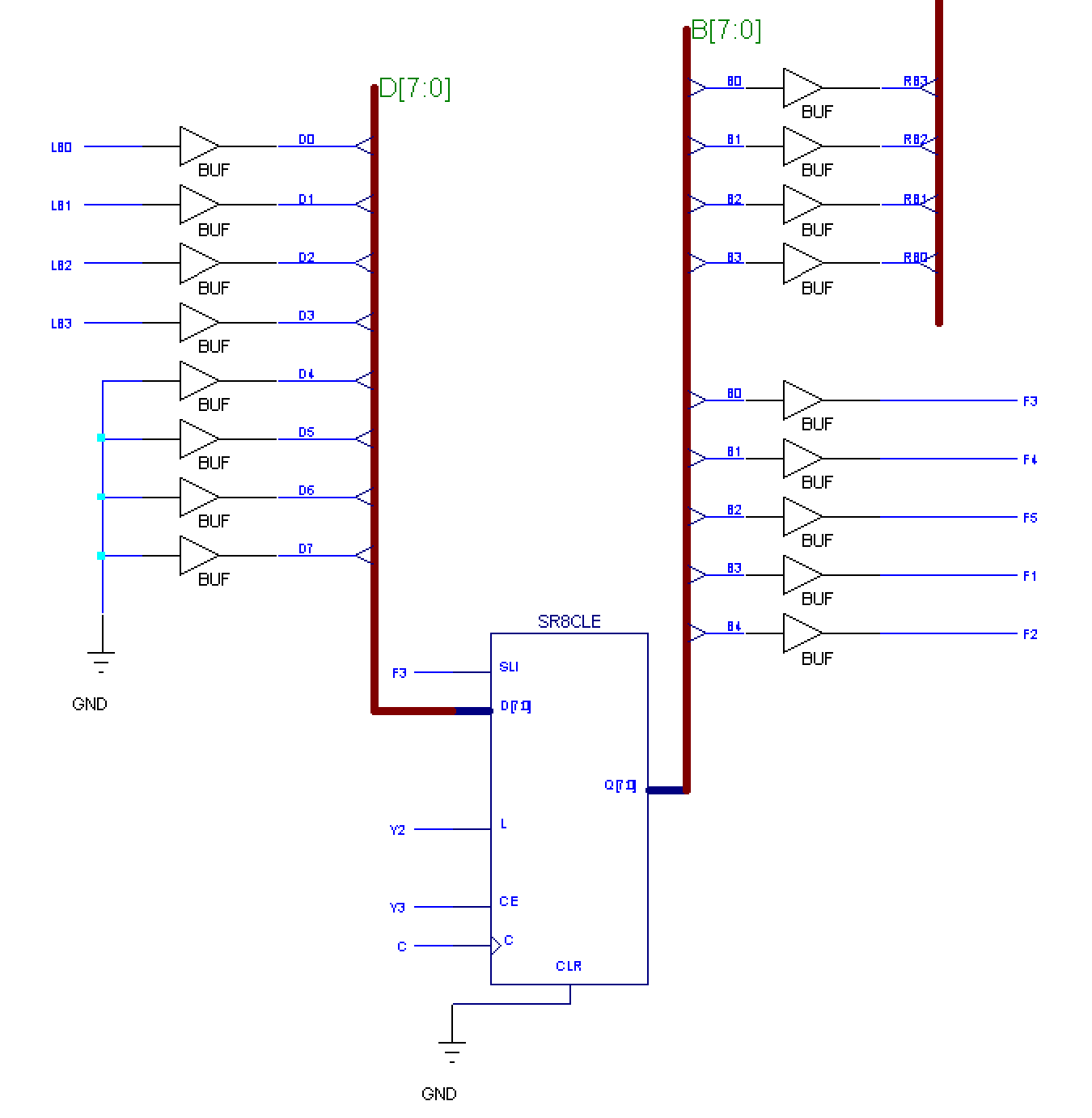


Рис. 1.4. Логическая схема RA

* + 1. Регистр второго операнда RB

Данный четырехразрядный регистр RB, в отличие от регистра RA, должен также осуществлять микрооперацию арифметического сдвига вправо на 1 разряд. Для этой цели был выбран универсальный регистр сдвига SR4CLE (рис. 1.5).

|  |  |  |
| --- | --- | --- |
| Обозначение | | Назначение |
| У2 | У3 |
| 0 | 0 | Хранение |
| 1 | 0 | Разрешение загрузки |
| 0 | 1 | Сдвиг вправо 1 разряд |



*Таблица 1.3*

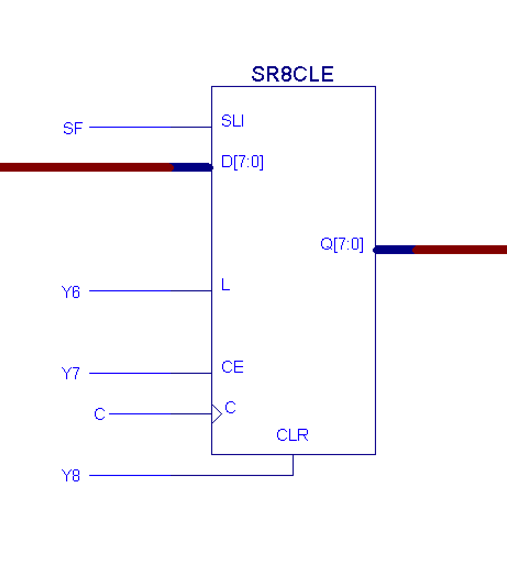
*Таблица управляющих сигналов РВ*

Рис. 1.5. Логическая схема RB

* + 1. Регистр результата RR

Регистр RR должен выполнять микрооперации параллельной загрузки, хранения, арифметического сдвига вправо на 1 разряд и установки в нуль. С учетом данных требований был выбран универсальный регистр сдвига SR8CLE (рис. 1.6). В таблице 1.4 представлены обозначения управляющих сигналов регистра и их назначение.

Причем результат умножения хранится в четырех старших разрядах регистра. Таким образом происходит обрезание результата микрооперации без округления.



*Таблица 1.4*

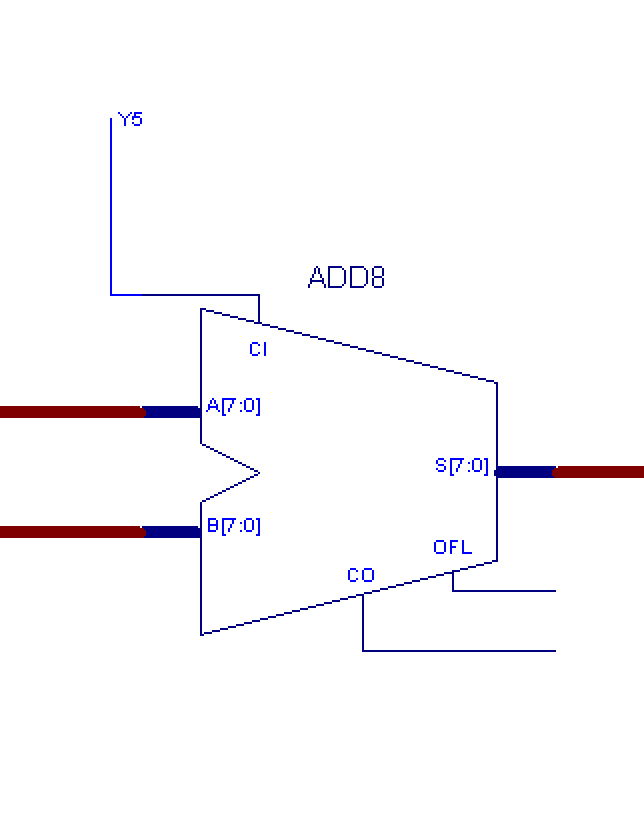
*Таблица управляющих сигналов RR*

|  |  |  |  |
| --- | --- | --- | --- |
| Обозначение | | | Назначение |
| У6 | У7 | У8 |
| 0 | 0 | 1 | Асинхронный сброс в 0 |
| 0 | 0 | 0 | Хранение |
| 0 | 1 | 0 | Сдвиг вправо 1 разряд |
| 1 | 0 | 0 | Разрешение загрузки |

*Рис 1.6 Логическая схема RR*

## Сумматор СМ

Для построения сумматора возьмем восьмиразрядный сумматор ADD8, подавая сигнал Y5 во время корректирующего шала для получения инверсного значения А или B в дополнительном коде (рис. 1.7).

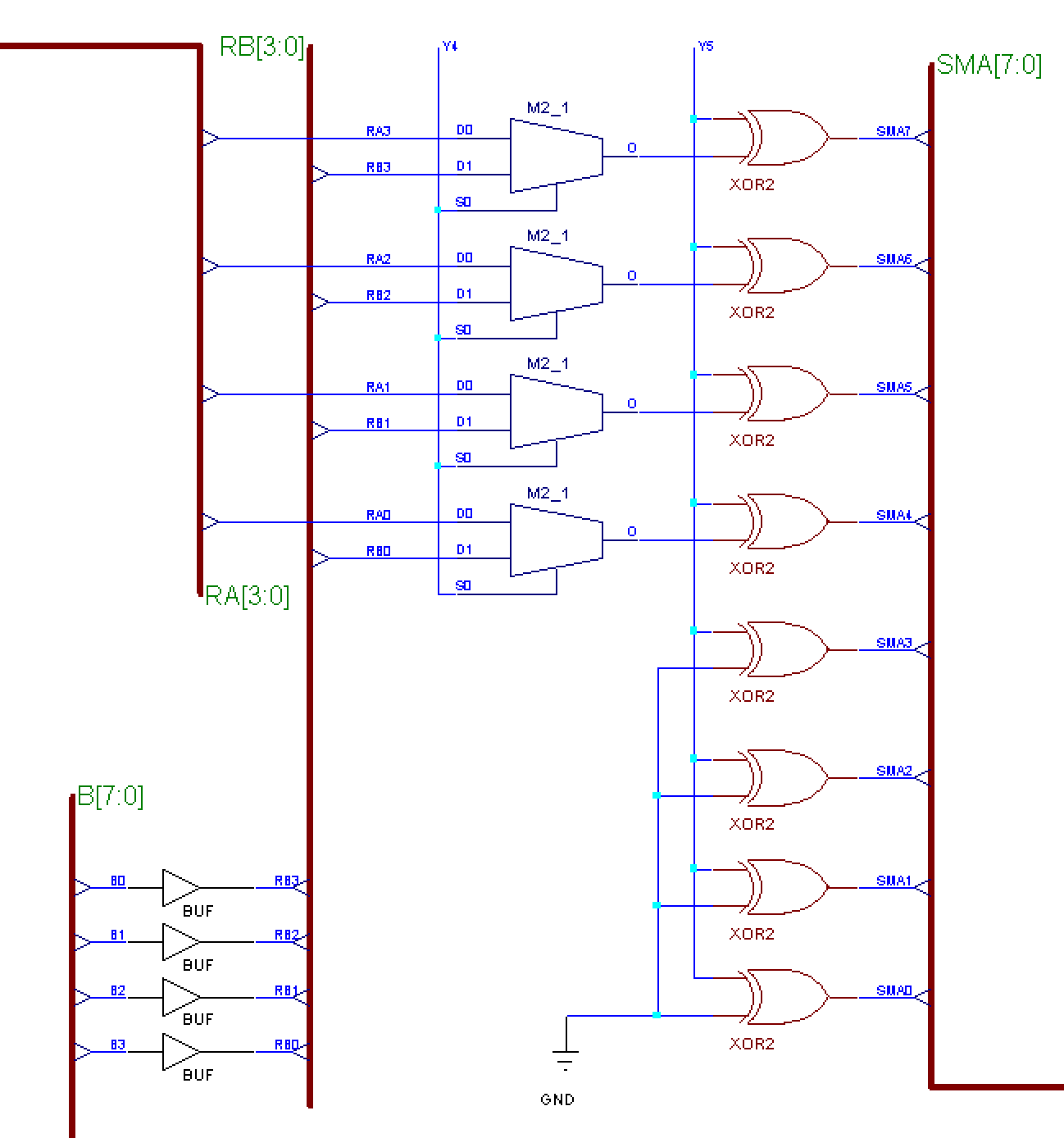
****

*Рис 1.7 Сумматор с корректирующим входом*

* + 1. Комбинационная схема КС1

С помощью данной комбинационной схемы происходит выбор операнда A или B и формируется прямое или инверсное значение в 8 разрядной сетке. Значение входного операнда помещается в старших 4 разрядах числа. В случае прямого выхода оставшиеся разряды инициализируются «0» или «1», в случае необходимости инверсного выхода. За выбор операнда отвечает У4, за выбор прямого или инверсного режима работы У5 (рис. 1.8).

В таблице 1.5 представлены назначения управляющих сигналов комбинационной схемы.



*Рис. 1.8 Комбинационная схема КС1*

*Таблица 1.5*

*Таблица управляющих сигналов КС2*

|  |  |  |
| --- | --- | --- |
| Обозначение | | Назначение |
| У4 | У5 |
| 0 | 0 | Подача на сумматор |
| 0 | 1 | Подача на сумматор |
| 1 | 0 | Подача на сумматор |
| 1 | 1 | Подача на сумматор |

* 1. Логическая схема блока операций

На рис. 1.9 приведена полная логическая схема блока операций

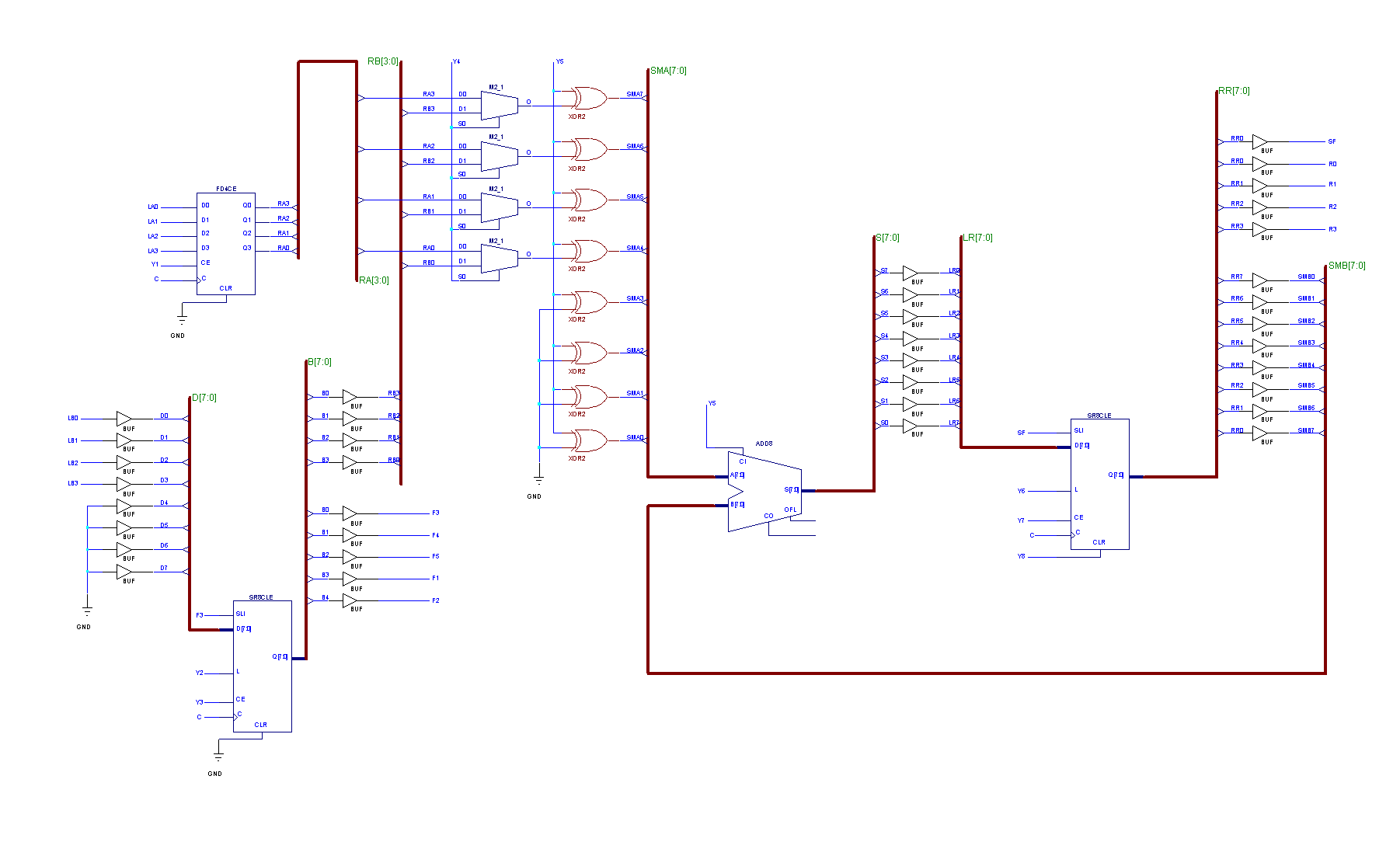


Рис. 1.9. Логическая схема блока операций

В таблицах 1.7 и 1.8 сведены описания управляющих сигналов и сигналов-признаков блока операций.

**Определение управляющих сигналов БО**

*Таблица 1.7*

*Таблица управляющих сигналов*

|  |  |
| --- | --- |
| Сигнал | Операция |
| У1 | Загрузка А в RA |
| У2 | Загрузка B в RB |
| У3 | Арифметический сдвиг RB вправо на 1 разряд |
| У4 | Прием значения из RA или из RB |
| У5 | Подача инверсного входа на сумматор |
| У6 | Загрузка RR |
| У7 | Арифметический сдвиг RR вправо на 1 разряд |
| У8 | Сброс RR |

**Определение сигналов-признаков БО**

*Таблица 1.8*

*Таблица сигналов признаков*

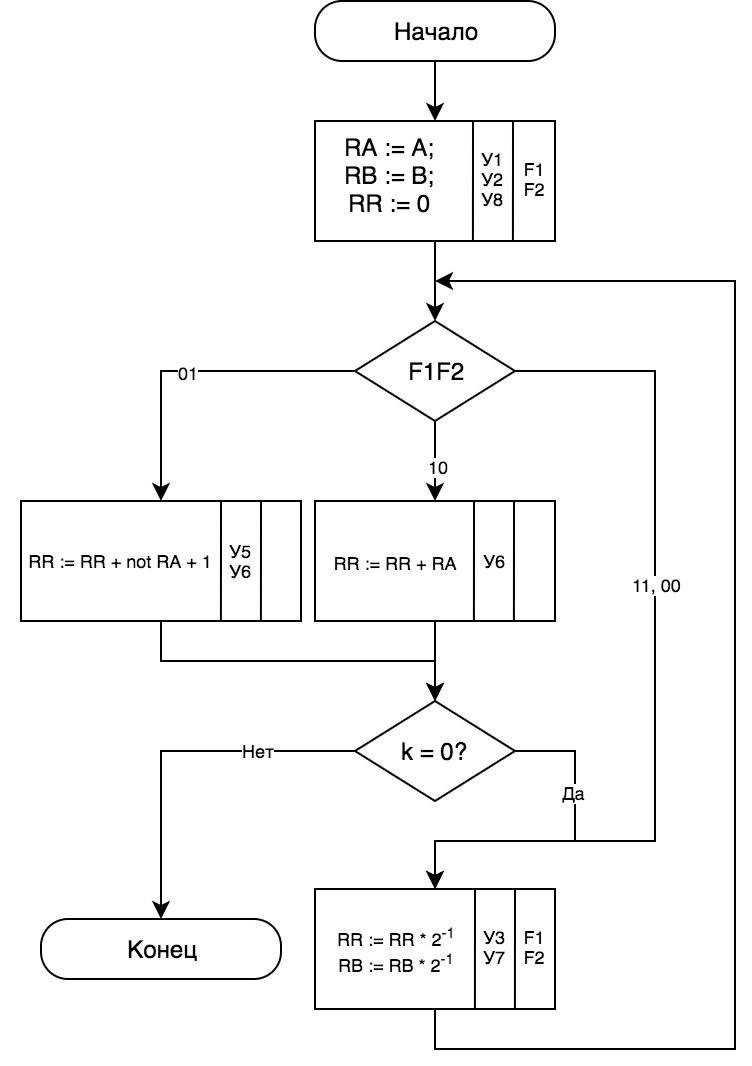
|  |  |
| --- | --- |
| Сигнал | Признак |
| F1 | 3 разряд В |
| F2 | 4 разряд В |
| F3 | Знак B |
| F4 | 1 разряд В |
| F5 | 2 разряд В |

* 1. Микропрограммы выполнения операций
     1. Алгоритмы выполнения микропрограмм

На рис. 1.10 и 1.11 представлены блок-схемы алгоритмов микропрограмм выполнения операций Умножение и Пересылка отрицательная.

1 2

2



A

B

C

D

E

F

*Рис. 1.10 Микропрограмма операции УМНОЖЕНИЕ*

1 2

2

A

B

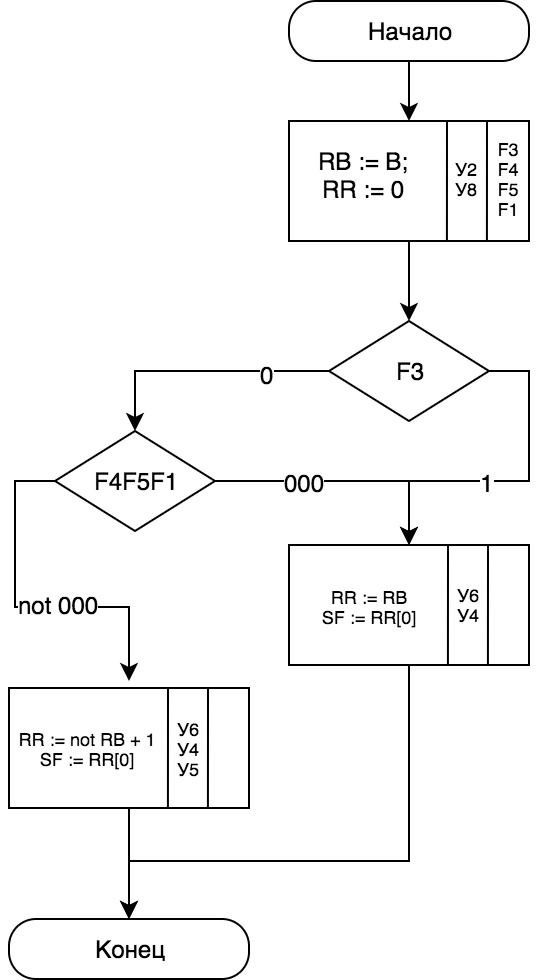
C

D

E

F

G



*Рис. 1.11 Микропрограмма операции ПЕРЕСЫЛКА ОТРИЦАТЕЛЬНАЯ*

* + 1. Примеры выполнения микропрограмм

На рис. 1.12-1.15 приведены результаты моделирования схемы блока операций при выполнении операции умножения и пересылки отрицательной для примеров, приведенных в пункте 1.1.1.

